

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

4159163

Basic Patent (No,Kind,Date): JP 58054391 A2 830331 <No. of Patents: 001>

PICTURE DISPLAY (English)

Patent Assignee: DAINI SEIKOSHA KK

Author (Inventor): HOSHI HIDEO

IPC: *G09G-003/36; H04N-005/66

Derwent WPI Acc No: *G 83-G2635K;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 58054391	A2	830331	JP 81151763	A	810925 (BASIC)

Priority Data (No,Kind,Date):

JP 81151763 A 810925

JP 58-54391

1. An image display device including:

semiconductor switch elements and signal storage elements which are formed and arranged on a semiconductor layer made from glass or the like, or a semiconductor substrate each formed on an insulating film;

a display panel in which either terminals of the signal storage elements and either terminals of the respective semiconductor switching elements are connected to pixel electrodes;

a scanning line driver circuit for turning on/off of the semiconductor switch; and

a signal line driver circuit for supplying an image signal to each pixel, is characterized in that:

the signal line driver circuit are divided into two blocks of a driver circuit for even numbered columns and a driver circuit for odd numbered columns; and

the image display device has means for operating the driver circuits for even numbered columns and the driver circuit for odd numbered columns with clock signals in opposite phase.

2. An image display device according to Claim 1, wherein the image display device has switching means for operating the driver circuit for even numbered columns and the driver circuit for odd numbered columns alternately at predetermined periods.

3. An image display device according to Claim 1 or Claim 2, wherein the stated period is one horizontal scanning period or an integral multiple thereof, and not more than 1 field.

⑨ 日本国特許庁 (JP)
 ⑩ 公開特許公報 (A)

⑪ 特許出願公開
 昭58-54391

⑫ Int. Cl.³
 G 09 G 3/36
 H 04 N 5/66

識別記号
 102

府内整理番号
 7250-5C
 7735-5C

⑬ 公開 昭和58年(1983)3月31日
 発明の数 1
 審査請求 未請求

(全 6 頁)

⑭ 画像表示装置

⑮ 特願 昭56-151763
 ⑯ 出願 昭56(1981)9月25日
 ⑰ 発明者 星英男

東京都江東区亀戸6丁目31番1

号株式会社第二精工舎内

⑮ 出願人 株式会社第二精工舎
 東京都江東区亀戸6丁目31番1
 号
 ⑯ 代理人 弁理士 最上務

明細書

1. 発明の名称 画像表示装置

2. 特許請求の範囲

(1) ガラス等の絶縁基板上に形成された半導体層、または半導体基板上に、半導体スイッチ素子と信号記憶素子を行列状に形成し、前記信号記憶素子と半導体スイッチ素子の一方の端子を接続して画像電極とした表示ペネルと、前記半導体スイッチをオン・オフするための定査ライン駆動回路及び、各画素に映像信号を供給するための信号ライン駆動回路で構成される画像表示装置に於て、前記信号ライン駆動回路を、偶数列用駆動回路と奇数列用駆動回路の2つのブロックに分割し、偶数列用駆動回路と奇数列用駆動回路を逆位相のクロック信号で動作させる手段を有することを特徴とする画像表示装置。

(2) 前記偶数列用駆動回路と奇数列用駆動回路を所定の周期で交互に動作させるスイッチ手段を

有することを特徴とする特許請求の範囲第1項記載の画像表示装置。

(3) 前記所定の周期は、1水平走査期間または1水平走査期間の数倍であり、1フレーム以下であることを特徴とする特許請求の範囲第1項もしくは第2項記載の画像表示装置。

3. 発明の詳細を説明

本発明は液晶を用いた画像表示装置の映像信号書き込み回路に関するものである。

従来の画像表示装置の表示部を第1図に示す。第1図はアナログ信号を含む画像を表示するものであり、表示部は液晶とMOS型アミニアレイを組合わせて構成されている。第1図において単位画素を構成するものは半導体スイッチ素子としてのMOS型アミニアレイ1信号記憶素子としての信号書き込み用コンデンサ2液晶セル3である。アミニアレイ1の一方の端子とコンデンサ2の一方の端子が接続されて画像電極となり、液晶セル3を介して共通電極4が設けられる。この基本的な動作を説明する。

まずMOS型アエラをエチャンネルとし、ゲートラインエレメントにゲート信号としての負のペルス電圧が印加されると、アモリタはオン状態となり、信号ラインエレメントに印加されたアナログのビデオ信号はアモリタを通してコンデンサ2に充電される。負のペルスが消波すれば、アモリタはオフ状態となるが、通常アモリタのリーフ電流及び液晶セル3を流れる電流は非常に小さいので、コンデンサに充電された電圧は、かなりの時間保持され、液晶セル3に印加されつづける。そしてゲート信号を x_1 から x_1+1 、 x_1+2 ……と順次に走査し、その位置に対応したビデオ信号をア₁、ア₁₊₁、ア₁₊₂……から印加することにより全体の画像が表示される。

第2図に駆動回路を含めた従来の表示装置を示す。4はシフトレジスタで構成されたゲートライン駆動回路(エドライバ)であり、クロック入力端子5、シリアルデータ入力端子6を具備している。7はシフトレジスタとスイッチ素子群7Dとで構成された信号ライン駆動回路(エドライバ)であり、

ゲートで構成されたスイッチ素子群7Dが順次オンになり、映像入力端子10から入力された映像信号が、信号ラインア₁、ア₂……を通りて、表示部へ印加される。ここで、テレビ信号の一水平走査期間は約63μsであるが、映像信号が含まれない同期期間(第4回図7)が約10μsあるので、映像信号のある期間は約53μsである。そこで画面列が20個であれば、クロックペルスの周期では53μs/20となるのである。そして、テレビの画像を鮮明に表示するには約200×200画素の表示パネルが必要であり、そのためにはクロックペルスの周期では約0.25μsでなければならない。つまり約4MHzのクロックペルスを必要とするのである。従つて、エドライバのシフトレジスタ7Dが約4MHzという比較的高速で動作するため、第2図に示した画像表示装置全体の消費電力が大きくなってしまうという欠点があつた。

そこで、本発明はエドライバ部の消費電力を小さくすることを目的とするものである。

特開昭58-54391(2)

クロック入力端子8、シリアルデータ入力端子9、映像信号入力端子10を具備している。11は、第1図に示した単位画素が20×20個配列された表示部である。ここで、エドライバのシリアルデータ入力端子6にはフレームごとにペルスが入力され、クロック入力端子5には一水平走査期間ごとにペルスが入力される。つまりクロック入力端子5には15.75kHzのペルスが入力され、このペルスによつて、前記シリアルデータ入力端子6からのペルスが順次シフトし、 x_1 、 x_2 ……に入力される。一方、エドライバは、第3図に示すようにシフトレジスタ7Dとスイッチ素子群7Dとで構成され各部波形を第4図に示す。まず、シリアルデータ入力端子9には一走査期間ごとにペルスが入力され、クロック入力端子8には約5.6μs/20の周期のクロックペルスが入力され、このペルスによつて、前記シリアルデータ入力端子9からのペルスが順次シフトし、 q_1 、 q_2 ……から出力される。そして、シフトレジスタ7Dからの出力 q_1 、 q_2 ……によつてトランスマッキシヨン

以下図面とともに本発明を説明する。

第5図に本発明の画像表示装置を示す。エドライバ部の構成・動作と、表示部11は従来例と全く同じである。エドライバ部は奇数列用エドライバ(A)12と偶数列用エドライバ(B)14に分割され、それぞれ、クロック入力端子13、15およびシリアルデータ入力端子9a、9b、さらに共通の映像信号入力端子10を具備している。そして、エドライバAおよびエドライバBは、第6図に示すようにシフトレジスタ12a、14a、12b、14b回路群12D、トランスマッキシヨンゲートで構成されるスイッチ素子群12Dで構成される。第6図はエドライバAの回路図であり、エドライバBについては図示しないも同様であり、シフトレジスタ14a、14b回路群14D、スイッチ素子群14Dで構成される。ただし、エドライバBのシリアルブリッジ入力端子9bはエドライバA用シフトレジスタ12aの第1段出力 q_1 と接続される。第7図に、第5図および第6図の回路の各部波形を示す。第5図、第6図、第7図にそつて

動作説明をする。まず、エドライバAのクロック
入力端子13に、従来の半分の周波数のクロック
OLAが入力され、エドライバBのクロック入力
端子15に、クロックOLAと同じ周波数で位相
が逆のクロックOLBが入力される。そして、一
水平走査期間ごとにシリアルデータ入力端子9a
にパルスRが入力されると、クロックパルスOLA
に同期してパルスRが順次シフトし、エドライバ
A用シフトレジスタ12aの出力 $Q_1, Q_2, \dots, Q_{2^n-1}, Q_{2^n}$ から出力される。ここで n は偶
数の整数である。一方、エドライバB用シフトレ
ジスタ14a(図示しない)のシリアルデータ入
力端子には、前記シフトレジスタ12aの第1段
出力 Q_1 が入力されるので、クロックパルスOLB
に同期してパルスが順次シフトして、エドライバ
B用シフトレジスタ14aの出力 $Q_1, Q_2, \dots, Q_{2^n-1}, Q_{2^n}$ を
そのまま各トランスマッショングートのクロック
として用いると、奇数列と偶数列のトランスマッ

部へ印加される。さて、以上のように、第5図、第6図に示す本発明の画像表示装置で、映像を表示することが可能なわけであるが、ここで、エドライバ用クロックパルスは0.7A、0.7B共に、従来例のクロックパルスの半分の周波数であるので、エドライバ部の消費電力が半分になる。そして、エドライバ、エドライバを含めた画像表示装置の消費電力のはとんどはエドライバ部で消費されるので、画像表示装置全体の消費電力が半分になるのである。

第8図に本発明の他の実施例のための周辺回路を示す。すなわち、エドライバA用クロックバルスOLAとエドライバB用クロックバルスOLBを、ある周期T₀で交互に供給して、エドライバAとエドライバBをある周期T₀で交互に動作させて、消費電力をさらに半分にするものである。回路は、ある周期T₀をもつた反転用ペルスB₀の入力端子17を持つたエタイプーフリップフロップ(エーフフ)14、AND回路18a、18bから成り、一方のAND回路18aには、T₀F

特開昭58- 54391 (3)

16のQ出力も、▲とクロック入力端子19からのクロックバルスロレが入力され他方の▲とD回路18bには、▲とD回路18aのQ出力も、▲とクロック入力端子20からのクロックバルスロレが入力される。そして、▲とD回路18aの出力はクロックバルスOL Aとして、エドライバ用クロックバルス入力端子13に入力され、▲とD回路18bの出力はクロックバルスOL Bとして、エドライバ用クロックバルス入力端子15に入力される。そして、第8回の回路を用いた実施例に於ては、エドライバ用シフトレジスタ12aのシリアルデータ入力端子9aと、エドライバ用シフトレジスタ14aのシリアルデータ入力端子9bが接続され、端子9bとシフトレジスタ12aの第1段出力Q1は接続されない。

第9図に各部波形を示す。クロックバ尔斯ローラとロレは周波数が従来例の半分で互いに位相が逆である。まず、反転用バ尔斯ローラが入力されると、T-FPの出力が反転し、今、A が “0” → “1”、B が “1” → “0” になつたとすると、クロック

クロックパルスの出力のみが出力され、クロックパルス C LB は停止状態となる。つまり、エドライバ A のみが動作し、エドライバ B は停止しているので、奇数列のみに映像信号が新たに印加され、偶数列には新たに映像信号が印加されず、前に書き込まれた映像信号をそのまま保持している。そして、ある期間 T₀ 後に反転パルス R₀ が再び入力されるとき、R₀ の出力 Q, \bar{Q} が反転し、こんどは、エドライバ B が停止し、エドライバ A が動作するので偶数列のみに新たに映像信号が印加され、奇数列には新たに映像信号が印加されず、前に書き込まれた映像信号をそのまま保持している。ここである期間 T₀ を 1 フィールドとした場合の映像信号の印加のされ方を第 10 図(A)に示す。第 10 図(A)中 2-1 を奇数列、2-2 を偶数列とすると、あるフィールドのときは奇数列 2-1 のみに新たに映像信号が書き込まれ、次のフィールドのときに偶数列 2-2 のみに書き込まれる。つまり、行方向に飛びこし走査が行なわれているのである。このような動作の場合、シリアルデータバスは第

が出来、消費電力が少ないという液晶の利点をさらに活かすことが可能となる。

4. 図面の簡単な説明

第 1 図は従来の画像表示部を示す等価回路図、第 2 図は従来の画像表示装置を示すブロック図、第 3 図は第 2 図に於けるエドライバ部を示す回路図、

第 4 図は従来の画像表示装置に於ける各部波形を示す説明図、

第 5 図は本発明の画像表示装置を示すブロック図、

第 6 図は本発明のエドライバ部を示す回路図、第 7 図は本発明の画像表示装置に於ける各部波形を示す説明図、

第 8 図は本発明の他の実施例に於ける周辺回路を示す回路図、

第 9 図は本発明の他の実施例に於ける各部波形を示す説明図、

第 10 図(A), (B), (C) はそれぞれ本発明の他の実

特開昭58-54391(4)

図には図示していないが、一水平走査期間ごとに入力されるのはもちろんである。第 10 図(B)は、ある期間 T₀ を一水平走査期間とした場合の例であり、あるフィールドのときは図中網目模様の面にちどり模様状に新たに映像信号が書き込まれ、次のフィールドには、図中ドット模様の面に新たに映像信号が書き込まれる。第 10 図(C)はある期間 T₀ を 3 水平走査期間とした場合の例であり、動作は同様なので省略する。ところで、重要なのは、2 フィールドつまり 1 フレームで全画面に新たに映像信号が書き込まれるということであり、この事は、現在のサレとの列方向の飛びこし走査のやり方と基本的に同じであり、画像のちらつきを感じさせない方法である。従つて、ある期間 T₀ は、1 水平走査期間よりも長く、1 フィールド以下である必要がある。このように動作させることにより前述した如く、エドライバ A, エドライバ B のいずれか一方は完全に停止しているので、クロックパルスの周波数を半分にしたことと合わせて、消費電力を半分以上にすること

施例に於ける映像信号の書き込み方を模式的に示す説明図である。

- 1 …… MOS フィルト、
- 2 …… 個号書き込み用コンデンサ、
- 3 …… 液晶セル、 4 …… エドライバ、
- 5 …… クロック入力端子、
- 6 …… シリアルデータ入力端子、
- 7 …… エドライバ、 7a …… シフトレジスタ、
- 7b …… スイッチ素子、 8 …… クロック入力端子、
- 9 …… シリアルデータ入力端子、
- 10 …… 映像信号入力端子、
- 11 …… 表示部、
- 12, 14 …… エドライバ、
- 12a …… シフトレジスタ、
- 12b …… A/D 回路、
- 12c …… スイッチ素子、
- 9a, 9b …… シリアルデータ入力端子、
- 13, 15 …… クロック入力端子、
- 16 …… テーフラ、 17 …… クロック入力端子、

特開昭58- 54391 (5)

1 8 a - 1 8 b … A N D 回路、
 1 9 - 2 0 … クロック入力端子、
 2 1 …… 奇数列画素、
 2 2 …… 偶数列画素
 である。

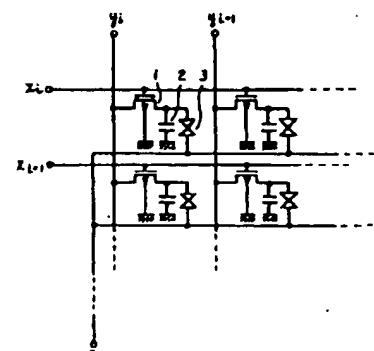
以 上

出願人 株式会社 第二精工舎

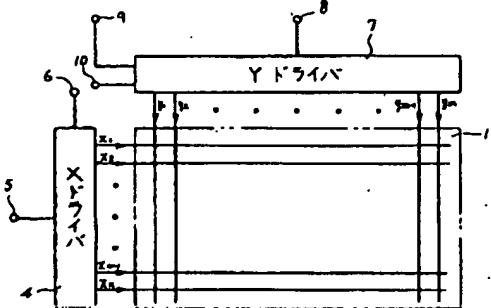
代理人 ブル士 最上



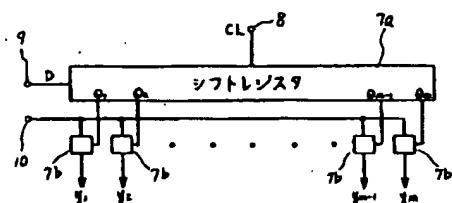
第 1 図



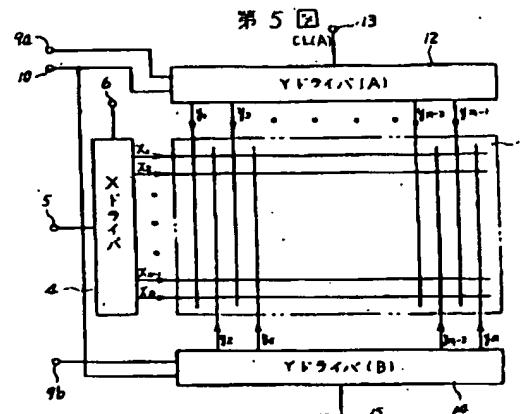
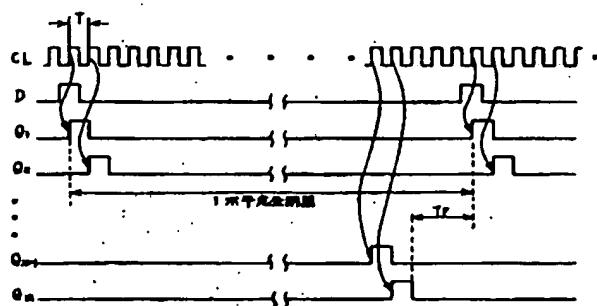
第 2 図



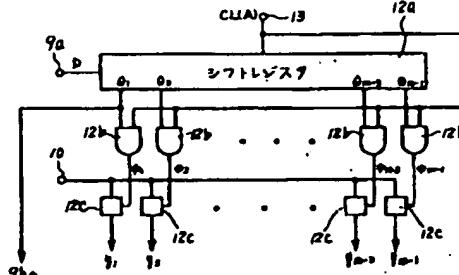
第 3 図



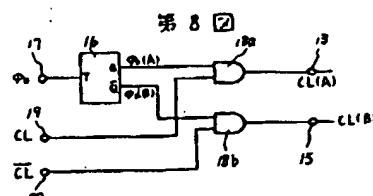
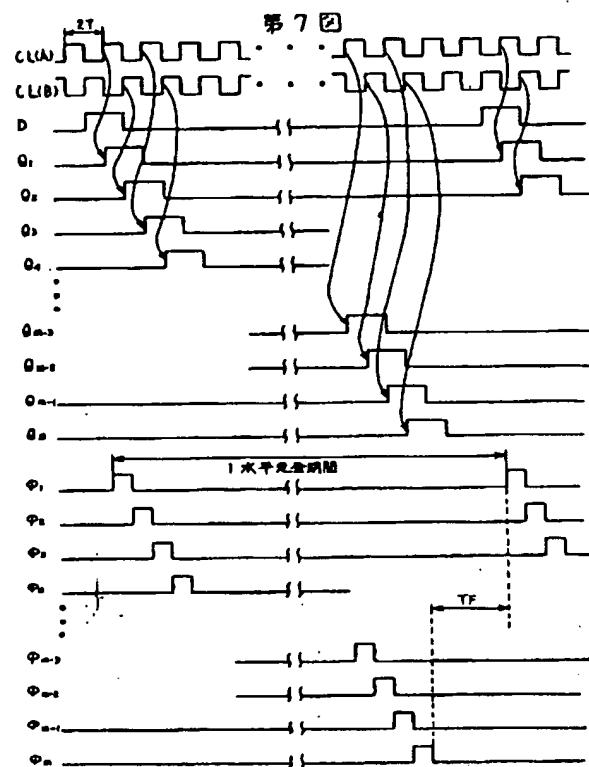
第 4 図



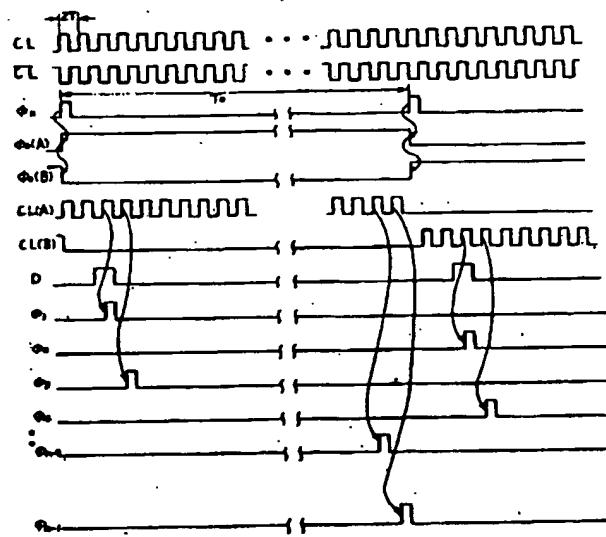
第 6 図



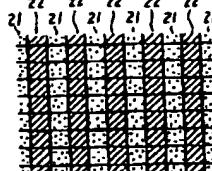
1158-54391 (6)



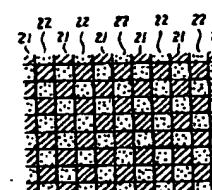
第9圖



第 10 回 (A)



第10回(B)



第10圖(C)

